

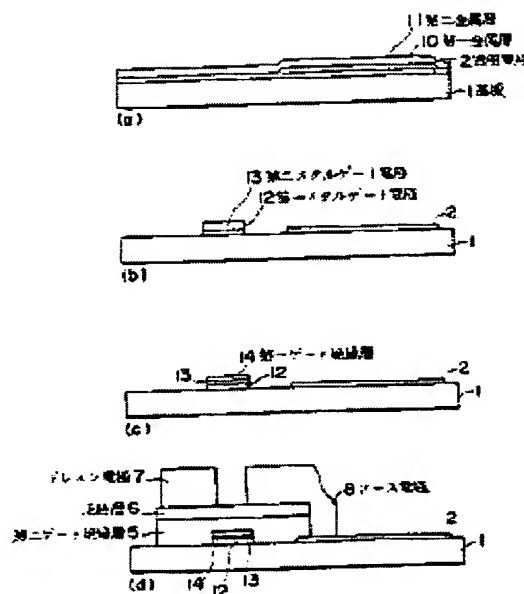
THIN-FILM TRANSISTOR

Patent number: JP1120068
Publication date: 1989-05-12
Inventor: NOMOTO TSUTOMU; YOSHIDA MAMORU; NISHIKI TAMAHIKO; NOBORI MASAHARU
Applicant: OKI ELECTRIC IND CO LTD
Classification:
 - international: **H01L29/786; H01L29/66; (IPC1-7): H01L27/12; H01L29/78**
 - european: **H01L29/786**
Application number: JP19870275682 19871102
Priority number(s): JP19870275682 19871102

Report a data error here

Abstract of JP1120068

PURPOSE: To solve the problem of exfoliation of a gate electrode when a film thickness of the gate electrode is increased by a method wherein the gate electrode is constituted by a two-layer structure where a second metal gate electrode composed of one or more kinds out of Ta, Zr, Nb, Al is superposed on a first metal gate electrode composed of one or more kinds out of Cr, NiCr, Ti, Al. **CONSTITUTION:** In a thin-film transistor having a structure whose gate part is constituted by piling up gate electrodes 12, 13, a first gate insulating layer 14 and a second gate insulating layer 5 on a substrate 1 in this order, a two-layer structure (except a case where both the first metal gate electrode 12 and the second metal gate electrode 13 are composed of aluminum) where the second metal gate electrode 13 composed of one or more kinds of metals out of tantalum, zirconium, niobium and aluminum is superposed on the first metal gate electrode 12 composed of one or more kinds of metals out of chromium, nichrome, titanium and aluminum is adopted. In addition, a metal oxide layer which is obtained by oxidizing at least one part of the second metal gate electrode 13 is used as said first gate insulating film 14.



Data supplied from the esp@cenet database - Worldwide

Family list

3 family member for:

JP1120068

Derived from 1 application.

1 THIN-FILM TRANSISTOR

Publication info: **JP1120068 A** - 1989-05-12

JP1909546C C - 1995-03-09

JP6040585B B - 1994-05-25

Data supplied from the *esp@cenet* database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平1-120068

⑫ Int.Cl.⁴

H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

G-7925-5F
7514-5F

⑬ 公開 平成1年(1989)5月12日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭62-275682

⑯ 出 願 昭62(1987)11月2日

⑰ 発 明 者	野 本 勉	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発 明 者	吉 田 守	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発 明 者	西 木 玲彦	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 発 明 者	登 正 治	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑰ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
⑰ 代 理 人	弁理士 鈴木 敏明		

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

ゲート部がゲート電極、第一ゲート絶縁層、第二ゲート絶縁層をこの順に基板上に重ねた構造を有する薄膜トランジスタにおいて、

前記ゲート電極をクロム、ニクロム、チタン、及びアルミニウムよりなる群から選ばれる1種又は2種以上の金属よりなる第一メタルゲート電極上に、タンタル、ジルコニウム、ニオブ、及びアルミニウムよりなる群から選ばれる1種又は2種以上の金属よりなる第二メタルゲート電極を重ねた2層構造(第一メタルゲート電極及び第二メタルゲート電極が共にアルミニウムの場合を除く)となし、

かつ、前記第一ゲート絶縁層として、第二メタルゲート電極の少なくとも1部を酸化して得られる金属酸化物層を用いることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜トランジスタ、更に詳細には、特にゲート電極の基体からの剝離防止を図った薄膜トランジスタに関する。

(従来技術)

第2図は、従来の薄膜トランジスタ(以下、TFETという)の要部断面図(c)及びその製造工程図(a~c)を示し、図中、1はガラス等の透明絶縁物よりなる基板、2はITO($\text{In}_2\text{O}_3 + \text{SnO}_2$)よりなる透明電極、3はタンタル(Ta)よりなるゲート電極、4は酸化タンタル(TaOx)よりなる第一ゲート絶縁層、5は第二ゲート絶縁層、6は活性層、7はドレイン電極、そして8はソース電極を示す。

この種のTFETは、例えば次の方法により製造されていた。第2図を参照して説明する。

基体1上に、スパッタ法又は電子ビーム蒸着法と加工(ホトリソグラフィ、エッチング)により透明電極2を形成し、次いで同基体1上にス

バック法と加工（ホトリソグラフィ、エッチング）によりゲート電極3を形成する〔第2図（a）〕。ゲート電極3の所定部分を陽極酸化することによって、ゲート電極3の上層部に第一ゲート絶縁層4を形成する〔第2図（b）〕。次いで、ゲート電極3及び第一ゲート絶縁層4の所定部分に第二ゲート絶縁層5及び活性層6を順次形成し、更にドレイン電極7及びソース電極8を形成する〔第2図（c）〕。そして、最後にシリコン酸化膜（ SiO_2 ）、シリコン窒化膜（ SiN_x ）よりなる保護膜（図示せず）をTFT及び透明電極上に形成することによりTFTが製造される。

而して、TFTは、透明電極を二次元的に配置することで、例えば、液晶表示装置の透明電極付TFTアレイ等として利用されている。

（発明が解決しようとする問題点）

ところで、TFTを二次元的に配置して、大画面アクティブマトリックス液晶パネルを作成しようとする、ゲート電極の配線は長大となり、ゲート電極の抵抗値が増大する。このため、ゲ-

ート電極に印加される駆動パルスが遅延し、波形に歪みが生ずる。その結果、TFTの動作が不十分になるという問題が発生する。

かかる問題の解決法としては、ゲート電極の幅を広げるか、或は電極膜厚を増大させる方法がある。

しかしながら、幅を広げる前者の方法には、TFTの寸法が大きくなり、画面の分解能が下がってしまうという欠点がある。又、膜厚を増大させる後者の方法にはタンタルは高融点材料であり、膜厚の増大に伴い膜の内部応力が増大するため、ゲート電極形成時にタンタル膜が基板から剝離し易くなるという欠点がある。

（問題点を解決するための手段）

本発明者は、ゲート電極の膜厚を増大せしめた場合のゲート電極剝離の問題点を解決し、しかも加工性及び特性の優れたTFTを提供せんと種々検討の結果、本発明を完成した。

即ち本発明は、ゲート部がゲート電極、第一ゲート絶縁層、第二ゲート絶縁層をこの順に基板

上に重ねた構造を有する薄膜トランジスタにおいて、

前記ゲート電極をクロム、ニクロム、チタン、及びアルミニウムよりなる群から選ばれる1種又は2種以上の金属よりなる第一メタルゲート電極上に、タンタル、ジルコニウム、ニオブ、及びアルミニウムよりなる群から選ばれる1種又は2種以上の金属よりなる第二メタルゲート電極を重ねた2層構造（第一メタルゲート電極及び第二メタルゲート電極が共にアルミニウムの場合を除く）となし、

かつ、前記第一ゲート絶縁層として、第二メタルゲート電極の少なくとも1部を酸化して得られる金属酸化物層を用いることを特徴とする薄膜トランジスタである。

（作用）

本発明トランジスタの第一メタルゲート電極に使用される金属であるクロム、ニクロム、チタン、及びアルミニウムは、少なくともタンタルに比べて基板に対する密着性が良好な金属である。

従って、本発明に係る二層構造のゲート電極、即ち、かかる第一メタルゲート電極上に内部応力が高い高融点金属材料であるタンタル等よりなる第二メタルゲート電極を重ねたゲート電極は、基板から極めて剝離しにくい性質を有する。

また、第一メタルゲート電極は第二メタルゲート電極に覆われていること、かつ、両電極の材料が異なること等の理由から酸化されにくい。従って、第二メタルゲート電極の少なくとも一部酸化を行う際に第一メタルゲート電極が酸化されて絶縁物化することはないので、第一メタルゲート電極の膜厚を所定以上とすればゲート電極の抵抗を十分低くすることができ、第一メタルゲート電極だけでも必要な電氣的性能を十分確保することができる。その結果、第二メタルゲート電極の膜厚は、十分薄くすることができる。

（実施例）

以下、本発明を実施例を示す図面と共に説明する。

第1図は、本発明のTFTの要部断面図（d）

及びその製造工程の一例を示す図面(a~d)を示し、図中、1はガラス等の透明絶縁物よりなる基板、2はITO($\text{In}_2\text{O}_3 + \text{SnO}_2$)よりなる透明電極、5は第二ゲート絶縁層、6は活性層、7はドレイン電極、そして8はソース電極を示し、又、10は第一金属層、11は第二金属層、12は第一メタルゲート電極、13は第二メタルゲート電極、そして14は第一ゲート絶縁層を示す。

本発明のTFTは、従来のTFTと比較すると、ゲート電極、第一ゲート絶縁層、第二ゲート絶縁層をこの順に重ねた構造よりなるゲート部において、ゲート電極として基体の上に重ねられる第一メタルゲート電極、更にその上に重ねられる第二メタルゲート電極よりなる二層構造のものが使用され、かつ、第一ゲート絶縁層として、第二メタルゲート電極の少なくとも一部を酸化して得られる金属酸化物層を用いる点で相違する。第二メタルゲート電極は、全て酸化されれば、結果として、第一メタルゲート電極上に直ちに第一ゲ-

ト絶縁層を形成した構成となる。

本発明TFTの第一メタルゲート電極には、クロム、ニクロム、チタン、及びアルミニウムよりなる群から選ばれる基板に対する密着性の良好な1種又は2種以上が使用される。

また、第二メタルゲート電極には、タンタル、ジルコニウム、ニオブ、及びアルミニウムよりなる群から選ばれる金属であって、その酸化物が第一ゲート絶縁層を形成するのに好適なものが1種又は2種以上使用される。本発明に係るゲート電極は、前記第一メタルゲート電極によって導通は十分確保できるため、基体との密着性の要件を考慮する必要がなくなるので、絶縁層としての機能本位に材料の選定を行なうことができる。その意味で材料に課せられる条件が緩和されたといえる。

本発明TFTは、例えば次の方法により製造することができる。第1図を参照して詳細に説明する。

基板1上に従来TFTの場合と同一手法で透明

電極2を形成する。次いで、基板全面にクロム、ニクロム、チタン、アルミニウムの少なくともいずれか1つの材料よりなる第一金属層10をスパッタ法又は電子ビーム蒸着法を用いて成膜する。続いて、この第一金属層10の上に、タンタル、ジルコニウム、ニオブ、アルミニウムの少なくともいずれか1つの材料よりなる第二金属層11をスパッタ法又は電子ビーム蒸着法を用いて成膜する【第1図(a)】。

次に、第一金属層10及び第二金属層11を所定のパターンにホトリソグラフィに付し、そしてエッチングにより加工することで、これら金属層に夫々対応する第一メタルゲート電極12及び第二メタルゲート電極13(両者を合せて二層メタルゲート電極ということがある)を形成する。エッチングによる加工は、第二金属層11については、 CF_4 を主成分ガスとするプラズマエッチング又は所定条件の湿式エッチングにより行なうことができる。次いで行なわれる第一金属層10の加工は、湿式エッチングにより行なうことがで

きる【第1図(b)】。

その後、第二メタルゲート電極13を所定の条件で陽極酸化、プラズマ酸化、熱酸化の少なくとも一方法により酸化して、少なくともその一部に第一ゲート絶縁層14を形成する【第1図(c)】。

次いで常法に従って、第二ゲート絶縁層5、活性層6、ドレイン電極7、ソース電極8、図示しない保護膜を形成することにより本発明TFTを得ることができる【第1図(d)】。

第二ゲート絶縁層5及び活性層6は、例えばシラン(SiH_4)ガスとアンモニア(NH_3)ガスを用いたプラズマCVD法によりアモルファスシリコン窒化膜(a-SiNx)を用いたプラズマCVD法等によりアモルファスシリコン膜(a-Si)を二層メタルゲート電極周辺等に堆積し、その後ホトリソグラフィとプラズマエッチングにより所定の形状に加工することにより形成することができる。

ドレイン電極7及びソース電極8は、例えばアルミニウム、クロム等の金属材料よりなる金属膜

を、スパッタ法、蒸着法等により被着した後、所定の形状にホトリソグラフィとエッチングにより加工することにより形成することができる。

また、保護膜は、例えばシリコン酸化膜、シリコン窒化膜をTFT及び透明電極上にプラズマCVD法により形成することができる。

(発明の効果)

本発明の薄膜トランジスタは、叙上の如くゲート電極の基板に接触する部位の材料として、基板に対する密着性の良好な金属を用いるようにしたので、導電性確保のためゲート電極の膜厚を大きくしてもゲート電極が基板から剝離することがない。

従って、本発明の薄膜トランジスタは、大画面アクティブマトリクス液晶パネルの場合の如く、ゲート電極の配線が長大となる場合に特に有利に使用できる。

4. 図面の簡単な説明

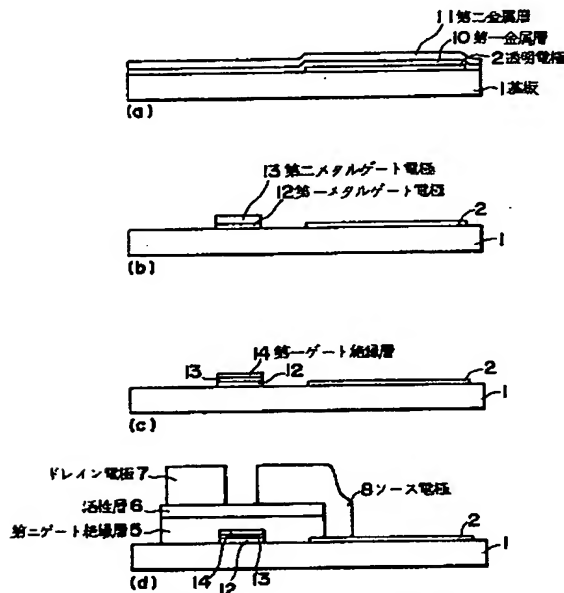
第1図は本発明薄膜トランジスタの要部断面図及びその製造工程図、第2図は従来の薄膜トラン

ジスタの要部断面図及びその製造工程図である。

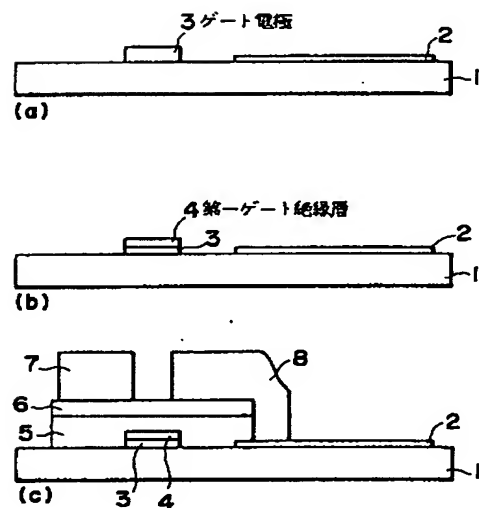
- 1…基体、10…第一金属層、
- 11…第二金属層、
- 12…第一メタルゲート電極、
- 13…第二メタルゲート電極、
- 14…第一ゲート絶縁層。

特許出願人 沖電気工業株式会社

代理人 鈴木 敏 明



本発明薄膜トランジスタ及びその製造工程図
第1図



従来の薄膜トランジスタ及びその製造工程図
第2図